

① 日本国特許庁 (JP) ② 特許出願公開
③ 公開特許公報 (A) 昭57-124469

④ Int. Cl.³ 識別記号 庁内整理番号 ⑤ 公開 昭和57年(1982)8月3日
H 01 L 29/06 7514-5F
29/72 7514-5F 発明の数 1
29/74 6749-5F 審査請求 未請求
29/76 7377-5F
29/80 7925-5F
29/86 6749-5F (全 18 頁)

⑥ 高電圧半導体装置

⑦ 特 願 昭56-197805
⑧ 出 願 昭56(1981)12月10日
優先権主張 ⑨ 1980年12月10日 ⑩ イギリス
(GB) ⑪ 8039499
⑫ 発 明 者 デイビッド・ジェームス・コエ
英国サーリー・レッドヒル・ミ

ードグエイル・クラレンス・ウ
オーク31
⑬ 出 願 人 エヌ・ペー・フィリッパ・フ
ルーイランペンフアブリケン
オランダ国アインドーフエン・
エマシゲル29
⑭ 代 理 人 弁理士 杉村曉秀 外1名

明 細 書

1. 発明の名称 高電圧半導体装置

2. 特許請求の範囲

1. 半導体本体と、少なくとも装置が高電圧動作モードの時の半導体本体の一部を貫ぬいて空乏層を形成する手段とを具える高電圧半導体装置において、上記半導体本体部が第1の導電形の第1の領域を被覆し、その間に反対の第2の導電形の第2の領域がはさまれ、これらの第1と第2の領域の全長が少なくとも4個であり、少なくとも上記第1の領域が少なくとも一つの結晶の動作モードの時前記本体部を貫ぬいて延在する電気的に並列な電流路を提供し、前記高電圧動作モードでは前記第1と第2の領域が自由キャリアを持たない空乏状態になつて正と負の空間電荷領域が交互に並ぶ形となり、これにより空乏層が半導体本体部内に狭がることにより自由キャリアが排除された時の半導体本体部にかかる高電圧を担い、前記第1と第2の領域

の各々の厚さとドーピング濃度とを前記空乏層により自由キャリアが排除された時の前記の交互に重層された領域の各々に形成される単位面積当りの空間電荷が少なくとも、上記空間電荷により形成される電界がこれを越えればなだれ降服が前記半導体本体部で生ずるのである電界電圧強度よりも低くなる程度にバランスさせることを特徴とする高電圧半導体装置。

2. 前記第1と第2の領域を半導体本体の主表面にほぼ平行に延在する交互重層層の形態としたことを特徴とする特許請求の範囲第1項記載の高電圧半導体装置。

3. 前記主表面から切った域内に前記第1の領域同士を電気的に接続する手段と、前記第2の領域同士を電気的に接続する手段とを設け、両の領域で天々の領域同士をコンタクトさせることを特徴とする特許請求の範囲第2項記載の高電圧半導体装置。

4. 前記前記の断面をV字形とすることを特徴と

特開2005-124469(2)

する特許請求の範囲第1項記載の高電圧半導体装置。

6. 前記半導体本体の第1の領域であつて、第1の導電形であり、前記接合形成手段から離れた区域で前記第1の領域に接する領域により前記第1の領域同士を電気的に互に接続したことを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。

7. 前記交互積層領域の一端に設けられ、前記第1の領域との間にショットキー接合を形成する金属ベース層により前記空乏層を形成したことを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

8. 前記半導体の別の領域であつて、第2の導電形で前記第1の領域の各々の一端との間にpn接合を形成する領域により前記空乏層を形成したことを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

ランジスタを設け、前記交互積層領域を上記電界効果トランジスタのソースとドレインとの間に存在させ、前記第1の領域がこの電界効果トランジスタのチャネル領域を提供し、前記第2の領域が電界効果トランジスタのゲートに接続され、このゲートの拡張部として動らくことを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

12. 前記ゲートが第2の導電形の別の領域となり、前記第1の領域の各々の一端とpn接合を形成することを特徴とする特許請求の範囲第11項記載の高電圧半導体装置。

13. 前記半導体装置に絶縁ゲート形電界効果トランジスタを設け、そのソースを第2の導電形の別の領域により前記交互積層領域から分離し、少なくとも1個のゲートを上記別の領域から絶縁し、この別の領域内に導電性チャネルを有意的に発生させ、前記第1の導電形のキャリアを電界効果トランジスタのソース

9. 一つの動作モードでは電流が少数キャリアとして少なくとも前記第1の領域を流して前記半導体本体部を貫ぬいて電流が流れ、装置の動作モードがもう一つのモードに切り替えられた時上記少数キャリアが交互積層領域間のpn接合を略して排除されることを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。

10. 前記半導体装置にバイポーラトランジスタを設け、前記交互積層領域がこのバイポーラトランジスタのベースとコレクタの接続部を提供することを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。

11. 前記半導体装置に電力用整流ダイオードを設け、前記交互積層領域がこの整流ダイオードのアノードとカソードの間の中間領域を形成することを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

12. 前記半導体装置に接合ゲート形電界効果ト

とドレインとの間に設け、前記交互積層領域を上記の別の領域とトランジスタのドレインとの間に設け、前記第1の領域を更に上記ドレインの拡張部として設立てることを特徴とする特許請求の範囲第1項ないし第5項のいずれかに記載の高電圧半導体装置。

14. 前記半導体装置に導電形が第1の上述した電界効果トランジスタに対して相補的な第2の絶縁ゲート形電界効果トランジスタを設け、前記第2の領域をこの第2のトランジスタのドレイン拡張部として役立て、第1の導電形の他方の領域との間にpn接合を形成し、このもう一つの領域が交互積層領域を第2のトランジスタのソースから分離し、上記第2のトランジスタの少なくとも1個のゲートを前記他方の領域から絶縁してこの他方の領域内に導電性チャネルを有意的に発生し、前記第2の導電形のキャリアを前記第2のトランジスタのソースとドレインとの間に流すことを特徴とする特許請求の範囲第11項記載の高電

特開昭57-124469 (3)

正半導体装置。

13. 前記半導体本体を半導体層を複数個重畳した形態として前記交互積層領域を構成し、この最下層の層を絶縁基板の上に取り付けることを特徴とする特許請求の範囲第10項ないし第11項記載のいずれかに記載の高電圧半導体装置。

14. 前記半導体装置に導電形が相補的な2個の回路要素を設け、これらの回路要素を前記半導体本体部を横切つて並列に接続し、交互積層された第1又は第2の領域が一方の回路要素の電氣的に並列な電流路を提供し、これらの間に相補的な回路要素の電氣的に並列な電流路を差し込んだことを特徴とする特許請求の範囲第10項ないし第11項のいずれかに記載の高電圧半導体装置。

接続する本体部との間にpn接合を形成する本体の一領域とすることができ、而して隣接する本体内に空乏層が拡がるのを制御することにより逆バイアスがかかっているpn接合の降服電圧を別例として例えば100Vを超え、しばしばもつとずつと高い高電圧を取り扱えるパワー半導体装置を形成できることが知られている。

空乏層が大きく拡がり、従つて降服電圧が高くなるようにするために関連する本体部を導電形を決める不純物のドーピング濃度が低く、従つて高抵抗率の一導電形の拡張領域とすることが知られている。殊にいくつかのパワー整流ダイオード及び電界効果トランジスタ構造ではpn接合に接する低ドーブ本体部が例えば約 10^{14} 又は 10^{15} 原子 cm^{-3} というドーピング濃度を有するにもかかわらず実効的に高性半導体材料から成るものと考えられる。而してこのように抵抗率が高い本体部はこれらの半導体装置で使われる高い動作電圧がかつた時十分に空乏化され、このため印加された逆バイアス電圧がこの本体部を横切つて延在する

よ発明の詳細な説明

本発明は専らという訳ではないが、殊に1個又は複数個の電界効果形パワートランジスタ並びに整流器及びバイポーラトランジスタのような他のタイプのパワー半導体装置又はそのいずれか一方を具える高電圧半導体装置に関するものである。

半導体本体と少なくとも高電圧動作モード時に本体の一部を貫いて空乏層を形成する手段とを具える高電圧半導体装置が知られている。而して既知の高電圧半導体装置では上記本体部が一導電形になつている。これは空乏層の形成が半導体装置の特定の図と形状とに依存することを意味する。空乏層はバイアスゲートと半導体本体から分離する保護層にかかる電界効果作用により本体部内に形成することもできるが、もつと普通に行なわれるのは本体部に隣接する接合形成手段により本体部内に形成された電流接合に逆バイアスをかけることにより空乏層を設けるものである。上記接合形成手段は例えば半導体本体上にアポジットされ、ショットキー接合を形成するメタルベース層又は

空乏層で電圧降下することが多い。従つて降服電圧を所望通り高くするためには本体部の抵抗率（従つてドーピング濃度の逆数）を所望する電圧にはば比例して高くとり、本体部の長さを所望する電圧にはば比例して長くして空乏層が深く拡がるのに備える必要があることが一般に知られている。

殊に電界効果トランジスタ及びショットキーダイオードのような多数キャリア装置ではON状態で半導体装置を流れる電流がこの本体部を横切る必要があり、従つてその抵抗率と長さを増すと電流路の直列抵抗率が所望の逆電圧のはば二乗に比例して大きくなる。しかし、これは所定の最大無故障時の半導体装置の電流取扱能力を制限する。注意すべきことはここでいう直列抵抗率（ $\Omega \cdot \text{cm}^2$ ）は所定の長さ（ cm ）と単位断面積（ $1/\text{cm}^2$ ）とを有する電流路に沿つての直列抵抗（ Ω ）であることである。

それ故このようなON状態ではキャリアを流し、OFF状態では動作電圧をブロックするように同一

特開昭57-124469 (4)

本体部を使い使い方は周知のように半導体装置の動作電圧により直列抵抗に制限を課する結果になる。そしてこのため不本意ながらパワー半導体装置の電圧及び電流取扱能力が限られてくる。

また、PN整流器又はバイポーラトランジスタのような少数キャリア装置のターンオフ速度を高めるためには、既に高低抗率の本体部内に注入された少数キャリアを迅速に取り除く必要がある。これを実行するため本体部内に金のような再結合中心をドーピングすることが知られているが、このような再結合中心はライフタイムエラーとして働き、ON状態では本体部の直列抵抗が高くなり、OFF状態では逆バイアスがかかっている接合部を越える漏れ電流が大きくなってしまうという欠点がある。

本発明によれば半導体本体と、少なくとも装置が高電圧動作モードの時この半導体本体の一部を貫いて空乏層を形成する手段とを具える高電圧半導体装置において、上記半導体本体部が第1の導電形の第1の領域を複数個具え、その間に反対

の第2の導電形の第2の領域がはさま込まれ、これらの第1と第2の領域の全数が少なくとも4個であり、少なくとも上記第1の領域が少なくとも一つの装置の動作モードの時前記本体部を貫いて延在する電気的に並列な電流路を提供し、前記高電圧動作モードでは前記第1と第2の領域が自由キャリアを持たない空乏状態になつて正と負の空間電荷領域が交互に並ぶ形となり、これにより空乏層が半導体本体部内に拡がることにより自由キャリアが排除された時この半導体本体部にかかる高電圧を担い、前記第1と第2の領域の各々の厚さとドーピング濃度とを前記空乏層により自由キャリアが排除された時前記の交互に積層された領域の各々に形成される単位面積当りの空間電荷が少なくとも、上記空間電荷により形成される電界がこれを越えればなだれ降服が前記半導体本体部で生ずるであろう臨界電界強度よりも低くなる程度にバランスさせることを特徴とする。

このような本発明に係る半導体装置構造は所望通りの電圧及び電流取扱能力を得る上でパワー半

導体装置の設計者に大きな自由を与える。本発明によれば電気的に並列な電流路があるが、これは電流路が1本だけの既知の半導体装置と比較して本体部を渡る直列抵抗を著しく小さくする。第1と第2の領域を十分に空乏化した時この本体部の交互積層され且つほぼバランスしている構造はマクロなスケールで見ると実効的に真性材料であるかのように出るまい、このため100 Vを超え、更にもつとずっと高い電圧取扱能力を与える。

単位面積当りの空間電荷は前記本体部内ではほぼバランスしているから第1と第2の領域は各領域のピンチオフ電圧以上の相対的に低い電圧を印加しただけでもそれらの厚さ全体に亘つて自由キャリアが排除され空乏層となる。このピンチオフ電圧は交互積層構造の互に接する領域間に形成されるpn接合から領域中に空乏層が拡がることにより一つの領域に沿つての電流路がピンチオフされる電圧であり、その値は当該領域の厚さとドーピング濃度とに依存するが例えばよいし20 Vのレンジに入る。それ故このピンチオフ値以上の電圧

を印加した時前記の交互に積層した第1の領域と第2の領域内の空乏化した区域内の前記本体部がマクロのスケールで見た時実効的に真性材料から成るかのように振る舞う。適し、正の空間電荷と負の空間電荷が交互に積層され且つほぼバランスしているからである。これによりこの交互積層構造では降服電圧が高く、更に交互積層領域の長さを増せばこの降服電圧を一層高くとれる。それ故このような本発明半導体装置は少なくとも200 V、多くはもつと高く例えば300 V、更には一層高く1000 V以上で動作するように設計することができる。

交互積層領域は前記本体部を貫いて良好な電流路を与えることができる。その場合各領域内の単位面積当りの空間電荷を調整する領域内の空間電荷とほぼバランスさせると共に半導体の降服電界により決まる一定の臨界値以下にとどめねばならない。これらの制限の範囲内で本発明に係る半導体装置の設計者は個々のドーピング濃度と厚さの点で相当な自由を有し、各交互積層領域毎に可成

特開昭57-124469 (5)

り自由に選択できる。このようにして各領域の厚さを薄くし、ドーピング濃度を高めることにより、本体部の実効ドーピング濃度を降服電圧を考慮せずに高めることができる。このようにして置くべきことに本体部の直列抵抗率が降服電圧にほぼ比例する電力用半導体装置を設計することができる。それ故直列抵抗率が降服電圧の二乗に比例する既知の半導体装置で生ずるのと同程度に降服電圧がドーピング濃度により制限されないですむ。このためドーピング濃度を高くして直列抵抗を低くし、大電流を流せるようにすることができる。この場合ON状態で流れる電流は後述するように半導体装置のタイプ即ちにより第1の領域若しくは第2の領域又は両方を通じて流れる。少数キャリア移動度のターンオフに関する限り、交互積層され且つ電気的に並列な電流路が注入された少数キャリアを迅速に排除し、改めて再結合中心を入れなくても高速でターンオフさせることができる有効な手段を提供する。

これらの領域で多数キャリアによる電流を流せ

るようには、個々の層を余りに薄くして電圧バイアス状態で完全に空乏化し、当該領域の電流路をピンチオフすることがないようにしなければならない。このため寸法が与えられている本体部に設けることができる交互積層領域の最大数（従つて電気的に並列な電流路の最大数）には限度がある。任意の特定の半導体装置に設けることができる所定の厚さの交互に積層された第1と第2の領域の全数は例えば半導体本体の幾何学的構造及び方位、半導体本体の寸法及び半導体装置の製造に含まれる技術的ファクタにより制約される。

第1の領域と第2の領域とは半導体本体の主表面にはほぼ平行に存在する交互積層の形態とすることができる。交互積層領域のこの特別な方向は殊に製造が簡単で、例えば基板の上に交互に導電形が交わる層をエピタキシャル成長させて簡単に作ることができる。そして基板は第1の領域又は第2の領域の一つとなつてもよいが、そうでなくてもよい。各層のドーピング濃度及び厚さは任意に制約し、層間士の間に必要とする空間電荷のペラ

ンスが得られるようにする。この交互積層領域の層構成によれば領域間の電気接続も簡単になる。これは例えば主表面から局所的に交互積層層を貫ぬいて領域を延在させることにより実行することができる。このような領域は基板の界面とエピタキシャル層の外側主表面との両方からドーパントを拡散させることにより拡散領域を侵入させて形成することができる。しかし、この場合全交互積層構体が厚いとこの厚い構体を貫ぬいて深い領域を延在させる製造工程が不本意ながら既に設けられている交互積層層の特性に悪影響を与えることがある。それ故このような深い領域は避けるのが望ましく、そしてこれは本体の主表面から溝を切ることにより簡単に実現できる。斯くして好適な実施例では前記第1の領域同士を電気的に接続する接続手段と、前記第2の領域同士を電気的に接続する接続手段とを上記の主表面から切つた溝の溝内に夫々設け、夫々の領域を溝の側壁で接触させる。これらの溝は断面がU字形でもV字形でもよく、これは異方性エッチングにより正確に設

けることができる。好適なのは断面がV字状のV溝を用いることである。蓋し、V溝にすれば溝の傾斜している側壁上に容易に且つ明確に種々の区域を設けることができ且つこれらの側壁をアポジツト層により良好に被覆できるからである。

第1の領域同士はメタライゼーションにより互に電気的に接続することができる。しかし、交互積層構造の配置と方位とに依存するが一般に第1の領域と第2の領域とが短絡することを第2の領域との間にPN接合を形成する第3の領域を用いることにより簡単に回避できる。斯くして半導体本体の第2の領域により前記第1の領域同士を互に電気接続するのであるが、この第3の領域を第1の導電形とし、前記接合形成手段から覆れた区域で前記第1の領域と接するようにする。

空乏層を形成する手段の性質は半導体装置の形と形状とにより定めてくる。一つの形態では、ゲートを形成する導電層を障壁層（例えば、絶縁層）により半導体本体から分離し、ゲートに適当にバイアスをかけて障壁層に電界効果作用を及ぼすこ

けることができる。好適なのは断面がV字状のV溝を用いることである。蓋し、V溝にすれば溝の傾斜している側壁上に容易に且つ明確に種々の区域を設けることができ且つこれらの側壁をアポジツト層により良好に被覆できるからである。

第1の領域同士はメタライゼーションにより互に電気的に接続することができる。しかし、交互積層構造の配置と方位とに依存するが一般に第1の領域と第2の領域とが短絡することを第2の領域との間にPN接合を形成する第3の領域を用いることにより簡単に回避できる。斯くして半導体本体の第2の領域により前記第1の領域同士を互に電気接続するのであるが、この第3の領域を第1の導電形とし、前記接合形成手段から覆れた区域で前記第1の領域と接するようにする。

特開2005-124469 (6)

とにより空乏層を形成する。もう一つの形態では半導体本体内の整流接合に逆バイアスを加えることにより空乏層を形成する。而してこのような整流接合を形成する手段は前記交互積層領域の一端上に設けられ、前記第1の領域との間にショットキー接合を形成するメタルベース層を具える。別の接合形成手段は前記本体のもう一つの領域を設け、このもう一つの領域を第2の導電形として前記第1の領域の各々の一端との間にpn接合を形成するものである。

本発明は多数キャリア装置であれ少数キャリア装置であれ、多くのタイプの半導体装置、例えば電力用整流器、サイリスタ、バイポーラトランジスタ及び電界効果トランジスタで利用することができる。本発明のような交互積層領域を設ける構造を用いる利点は電圧及び/又は電流取扱能力が向上することである。

このようにして一つの形態では前記半導体装置が電力用整流ダイオード(例えばショットキーダイオード又はPINダイオード)を具え、前記交互

積層領域がこの整流ダイオードのアノードとカソード間の中間領域を形成する。もう一つの形態では前記半導体装置がバイポーラトランジスタを具え、前記交互積層領域が前記トランジスタのベースとコレクタの接続する部分を提供する。形態では前記半導体装置がサイリスタを具え、前記交互積層領域がサイリスタのベース領域の接続する部分を形成する。

交互積層構造の種々の部分を接合ゲート形であれ、絶縁ゲート形であれ、電界効果トランジスタの部分に用いると殊に好適である。

このようにして本発明に係る接合ゲート形電界効果トランジスタは前記半導体装置に接合ゲート形電界効果トランジスタを設け、前記交互積層領域を上記電界効果トランジスタのソースとドレインとの間に存在させ、前記第1の領域がこの電界効果トランジスタのチャネル領域を提供し、前記第2の領域が電界効果トランジスタのゲートに接続され、このゲートの拡張部として働くことを特徴とする。上記ゲートはショットキー障壁を形

成するメタルベース層とすることもできるし、また第2の導電形で前記第1の領域の各々の一端との間にpn接合を形成する別の領域とすることもできる。後述するようにこのような接合ゲート形電界効果トランジスタがON状態で動作する時第1の領域と第2の領域との間のpn接合にはむしろ順方向バイアスがかかり、少数キャリアが注入され、導電率実質により直列抵抗率が下がる。このような動作モードは上述した少数キャリアをターンオフ時に交互積層領域とゲートとを介して簡単に排除できる場合に有益である。

本発明に係る絶縁ゲート形電界効果トランジスタは前記半導体装置に絶縁ゲート形電界効果トランジスタを設け、そのソースを第2の導電形の別の領域により前記交互積層領域から分離し、少なくとも1個のゲートを上記別の領域から絶縁し、この別の領域内に導電性チャネルを客量的に発生させ、前記第1の導電形のキャリアを電界効果トランジスタのソースとドレインとの間に流し、前記交互積層領域を上記別の領域とトランジスタ

のドレインとの間に設け、前記第1の領域を更に上記ドレインの拡張部として役立てることを特徴とする。

このような半導体装置は進んでは前記半導体装置に導電形が第1の上述した電界効果トランジスタに対して相補的な第2の絶縁ゲート形電界効果トランジスタを設け、前記第2の領域をこの第2のトランジスタのドレイン拡張部として役立て、第1の導電形の他方の領域との間にpn接合を形成し、このもう一つの領域が交互積層領域を第2のトランジスタのソースから分離し、上記第2のトランジスタの少なくとも1個のゲートを前記他方の領域から絶縁してこの他方の領域内に導電性チャネルを客量的に発生し、前記第2の導電形のキャリアを前記第2のトランジスタのソースとドレインとの間に流すことを特徴とする。

電界効果トランジスタ及びその他の半導体装置にとつて、前記半導体本体を半導体層を複数層重畳した形態として前記交互積層領域を構成し、この最下層の層を絶縁基板の上に取り付けるように

すると有利である。

サファイアの絶縁性基板の上に単一のP形シリコン層を設けた電界効果トランジスタが1977年に米国ワシントンで開かれた1977インターナショナル エレクトロン デバイシーズ ミーティング (I. E. D. M.) で発表され、I. E. E. E. から刊行されたアイ・イー・ディー・エム・ダイジェスト (1977) の第594頁から第597頁にのっているエッチ・サクマ、ティー・クリヤマ及びティ・スズキによる「ア・ハイ・ボルテージ・オフセット・ゲート・エスオーエス/エムオーエス トランジスタ (A High Voltage Offset - Gate MOS/MOS Transistor)」と題する論文に記載されている。これによればP形層内にn形ソース領域 (n^+) とn形ドレイン領域 (n^+) とを設け、イオン注入によりピンチ抵抗を設ける。ピンチ抵抗は単一のn形表面領域であつて隔壁は反対にP形層と同量の単位面積当りの不純物を有するように作られた領域である。この単一抵抗領域はP形層とその上面だけで設ける。蓋し、この表面領域は

これと対照的に本発明によれば直列抵抗率は動作電圧の設計値が高くなるのに比例して高くなるだけである。

特開昭57-124469 (ア)

ドレイン領域の電流を流す抵抗部を形成し、トランジスタの絶縁ゲートの下に延在し、全長のうち的一部分でこのゲートにより制御される。

n形表面領域とその下に延在する層のP形部とはオフセットゲート・ピンチオフ電圧に等しい低いドレイン電圧以上でこの層を垂直方向に貫ぬいて空乏化するように設計されているから、この既知のトランジスタは全く高い降服電圧特性を示す。この特性は層のドーピングレベルによる制約は受けないが、ゲートが n^+ ドレイン領域からオフセットされる長さ (L_R) に依存する。この長さ L_R はピンチオフ抵抗のゲートの直下ではない部分の長さに等しい。而してこの既知のトランジスタのドレイン降服電圧 (BV_{DS}) とON抵抗 (R_{ON}) とはオフセットゲート長 L_R にほぼ比例して増大することが判明した。しかし、これでは唯一つのピンチ抵抗領域がチャネルからドレインへの唯一つの電流路を与えるだけであるから、直列抵抗率はここでも前述した他の既知の半導体装置と同じくほぼ所望の降服電圧の二乗に比例する。

実施例を挙げて図面につき本発明を詳細に説明する。

注意すべきことは第1、2、4〜8及び10〜18図は略図であつて、寸法通りではないことである。図面を簡明ならしめるためこれらの図面のいくつかの部分の相対的寸法及び比率は誇張され或は、縮小されている。一例で用いられたのと対応又は類似する他の例の部分は一様に同一符号を付してある。

第1図は本発明に係る高電圧半導体装置の多くの種々のタイプで用いられるP形領域とn形領域が交互に積層する構造 (交互積層構造) の一つの簡単な基本的な形態を示したものである。この半導体装置は (例えば単結晶シリコンの) 半導体本体1と少なくとも半導体装置が高電圧動作モードにある時半導体本体1の部分2を貫通する空乏層を形成する手段とを具える。第1図の構造では空乏層を形成するのに半導体本体1内の整流接合3に前バイアスをかける。このような整流接合は半導体本体の領域2に金属をベースにしたショット

特開2005-124469 (B)

ャーコンタクトを設けることにより形成することができる。しかし、第1図では一例として領域3にp形領域14を併設させてpn接合3を形成している。

本発明によれば、領域3は第1の導電形(例えばn形)の多数の領域11を具え、これらの間に反対の第2の導電形(例えばp形)の第2の領域12がはさまっている。少なくとも一つの動作モードの時少なくとも第1の領域11が本体領域3を覆ういて上記接合形成手段19の方向に存在する電氣的に並列な電流通路を提供する。第1の領域11と第2の領域12の各々の厚さとドーピング濃度とは前記空乏層内の自由な電荷担体が排除された時の上記交互積層領域11、12の各々に形成される単位面積当たりの空間電荷が少なくともこの空間電荷のアンバランスにより形成される電界がそれを越すと領域11、12でアバランシブブレークダウンが生ずるであろう臨界電界強度よりも小さい強度でバランスがとれるようなものとする。第1の領域11と第2の領域12とは空乏層が領域3内に拡がることに

より自由な電荷担体が欠落した領域3にかゝる高電圧を担う役割を演ずる。

調整する第1の領域11と第2の領域12との間に形成されるpn接合4は整流接合5の抵償部として働く。第2の領域12同士はpn接合5で接合形成手段を構成するp形領域14を介して一つに電気接続される。第1の領域11同士は接合形成手段19から離れている少なくとも一つの区域で(例えば同一導電形の領域11を介して)互に電気接続する。

第1図に示した特別な形態では半導体本体1が単結晶基板10上に交互に導電形の異なるエピタキシャル層11及び12を複数個積み重ね、本体部3の交互積層領域11、12を作る。それ故これらの領域11及び12は半導体本体1の上側主表面16にほぼ並列に存在する。領域11と12は夫々図面2に形成した溝21及び22内にあつて、これらの溝の側壁で夫々交互積層層11及び12に接触している。層11、12の厚さ及び11、22の深さ及び間隔はどのようなタイプの半導体装置を作るのか、またどの程度の電圧及び電流を収容できるようにしたかのかによつて

異なる。しかし、典型的な例では溝の深さは約10μmで相互間の距離は約100μmである。

第1図に示した溝21及び22は断面がリ字状であつて、これは表面20の傾斜角を<100>に運び、異方性エッチャントを用いることにより既知の順序で形成することができる。領域11と12は例えば拡散又はイオン注入により溝21及び22の区域にドーパントを入れることにより形成することができる。而して此間アニーリング処理しか行なわないイオン注入の方が交互積層層11、12に対して混入を与えることが少ない点で一般にはより適している。半導体本体1の表面20上に形成するパッシベーション層23は溝21及び22の区域にコンタクト窓を有する。これらの窓を介してデポジットされた金属層電極24及び25は夫々領域11及び12と接触する。

空乏層となつた領域11及び12の各々に形成される単位面積当たりの空間電荷の量は当該領域の厚さとその導電形を決めるドーパントのドーピング濃度との積により与えられる。それ故、領域を薄く

してもドーピング濃度を高くし、又はその逆を行なえば同一程度の空間電荷が得られ、それ故交互積層構造の全ての層11及び12の厚さを等しくし、ドーピング濃度も等しくする必要はない。層11と12の間の空間電荷をバランスさせる必要があるが、これは各層11及び12のエピタキシャル成長中サブジットされる層の厚さとドーピング濃度とを注意深く制御することにより得られる。これらのパラメータはエピタキシャル成長及びその後の処理中例えば±10%の範囲内に制御することができる。高電圧動作時にpn接合3に逆バイアスをかけても空乏層となつた交互積層層11、12でアバランシブブレークダウンが生じないようにするため空乏層となつた本体部3の各領域11及び12の空間電荷による電界と本体部3の全厚さに亘る交互積層層11、12の空間電荷の凡ゆるアンバランスの累積したものによる電界とのいずれもが半導体内でアバランシブ増倍が起こる臨界電界強度よりも小さくなければならない。シリコン本体のバルクではこの臨界電界強度は約 $3 \times 10^5 \text{ V/cm}^2$ であり、これ

特開2005-124469 (9)

は完全に空乏層となる部分のドーパント量が夫々約 $2 \times 10^{12} \text{ cm}^{-2}$ であることに対応する。それ故第1図に示したようなシリコンエピタキシャル構造では各層11及び12のドーパント量を約 $4 \times 10^{12} \text{ cm}^{-2}$ 以下とし(概し、各層11、12は両側から空乏化してゆくからである)、本体部3内の交互積層構造全体に亘つてのドーパント量の真積変動量を約 $2 \times 10^{12} \text{ cm}^{-2}$ より小さくする必要がある。代表的数値を挙げると、これらのエピタキシャル層11及び12の厚さは0.2 μm と2 μm の間とし、これに対応するドーピング濃度は夫々約 $2 \times 10^{17} \text{ cm}^{-3}$ と $2 \times 10^{19} \text{ cm}^{-3}$ とする。

これらのドーピング濃度は従来技術で既知の高電圧半導体装置で見られる単一の高抵抗の真性領域から成る構造に属する本体部内に空乏層が設けられてゆく構造に対して用いられるドーピング濃度よりも相当に高い。本発明に係る交互積層層11及び12は良好な本体部3を通り抜ける電流通路を提供し、その配層が電氣的に並列になっているため直列抵抗が著しく下り、電流取扱能力が高くな

る。また空乏化したn形層11内の正の空間電荷は空乏化されたp形層12内の負の空間電荷で抑えられているため、本体部3は高電圧動作時に空乏化された時マクロなスケールで見ると実効的に真性材料から成るかのように振る舞うように見え、このため高電圧を取り扱えるようになる。夫々n形層11同士及びp形層12同士を一つに電気接続する領域13及び14(又は任意の他の接続手段)は空乏化された本体部3の両端(即ち高電圧を掛く部分即ち交互積層層11及び12の部分の両端)で電気接続を行ない、高電圧を掛く部分3即ち本体部3内の交互積層層11及び12の長手方向が一方の接続手段13又は14から他方の導電形の層を一つに接続する他方の接続手段14又は13に向けて延在するようにする必要がある。これは第1図の半導体装置構造では個々の積層11及び12の構造が主表面から交互積層構造11、12の厚さ方向に延在するようにすることによって達成される。

高電圧を掛く空乏化された本体部3を形成する交互積層層11及び12の長さを増すことにより電圧

取扱能力を高くすることができる。また交互積層層11及び12の数を増すことにより電氣的に並列な電流通路の数を増すことができる。この結果本発明交互積層層11及び12を有するパワー半導体装置の本体部3の直列抵抗は前述した従来技術のパワー半導体装置のように所望の降壓電圧の降下率に比例するのではなく、所望の降壓電圧に比例して高くなるだけである。これを第3図に示すが、この第3図はVを単位とする降壓電圧に対する μcm を単位とする直列抵抗率を両方とも対数スケールでとったグラフである。このグラフは交互積層層11及び12が積層11と12の間に延在し、積層11で層11とオーミックコンタクトを行ない、積層12で層11と12の両方に共通ショットキーコンタクトを行なう基本形のパワー半導体装置構造につき計算した結果に基づいている。直列抵抗率はこれらの2個の層のコンタクトの間に低いバイアスを印加するものとして計算してある。各層11及び12のドーピング濃度は $4 \times 10^{12} \text{ cm}^{-2}$ としておいた。層のコンタクト間の層11及び12内の電流通路の長さは2個の層のコンタクト間に設計通りの逆動作電圧を印加した時の層11及び12の長さにつづての最大電界強度が 10^5 V/cm となるように選んだ。全部の層11、12が占める本体部3の長さ(即ち全積層構造の全厚さ)はこの長さの10倍とした。そして全ての交互積層層11及び12が1度この長さに入るものとして計算した。

直線Aは層11と12の各々の厚さを1 μm とした時の直列抵抗率と降壓電圧の間の関係を示したものであり、直線Bは層11と12の各々の厚さを0.2 μm とした時のグラフである。注意すべきことはいずれの場合も直線的な正比例関係が成立することである。

また図4において既知の半導体装置では降壓電圧が夫々200 V及び500 Vの時必要な直列抵抗率が普通夫々 $2 \times 10^{-2} \text{ m}\Omega\text{cm}$ 及び $10^{-2} \text{ m}\Omega\text{cm}$ より大きい。第3図に示すように本発明交互積層構造を有する半導体装置では著しく低い。即ち、層11及び12の厚さが1 μm の場合は例えば200 Vの時約 $7 \times 10^{-3} \text{ m}\Omega\text{cm}$ であり、500 Vの時 $2 \times 10^{-2} \text{ m}\Omega\text{cm}$

また図4において既知の半導体装置では降壓電圧が夫々200 V及び500 Vの時必要な直列抵抗率が普通夫々 $2 \times 10^{-2} \text{ m}\Omega\text{cm}$ 及び $10^{-2} \text{ m}\Omega\text{cm}$ より大きい。第3図に示すように本発明交互積層構造を有する半導体装置では著しく低い。即ち、層11及び12の厚さが1 μm の場合は例えば200 Vの時約 $7 \times 10^{-3} \text{ m}\Omega\text{cm}$ であり、500 Vの時 $2 \times 10^{-2} \text{ m}\Omega\text{cm}$

特開昭57-124469 (10)

であり、1000 Vの時 4×10^{-2} μcd であり、他方0.2 μm 厚の場合は200 Vの時 2×10^{-3} μcd 以下であり、500 Vの時 4×10^{-3} μcd 以下であり、1000 Vの時約 7×10^{-3} μcd である。

直線AとBを比較すれば判かるように薄い層11及び12を少数設けるよりも薄い層11及び12を多数設ける方が一般には有利である。交互積層層11及び12の全数は少なくとも4とし、普通はもつとずつと多く(例えば8個以上)とし、本発明積層構造を用いることにより得られる利点を十分に享受できるようにする。本体部1の所定の長さに対し、収容できる層11及び12の最大数は各領域11及び12がとり得る最小厚さにより決まる。しかし、各層11及び12が余りに薄くなると、設計目標を十分実現性及く製造することがむずかしくなるおそれがある。また、層11と12で多数キャリアの電流を流せるようにするためには各層の厚さを増しすぎて空バイアス状態の時でも全体が空乏層化し、これにより層内の電流路がピンチオフすることのないようにする必要がある。

ンであればパッシベーション層12を正に帯電させることができる。この場合最上層11又は12内の空間電荷が修正され、このような絶縁層の電荷を削減しようとする。しかし、パッシベーション層12を(例えば酸素をドーパした多結晶シリコンのように)半絶縁性材料を構成して電気的に中性にしてもよい。

上にエピタキシャル層11及び12をのせる基板10は例えばサファイアのような絶縁材料又は例えばシリコンのような半導体材料とすることができる。而して第1図の基板10は第2の領域11及び接合形成領域14と同一導電形の半導体材料とし、それ自体本体部1との間にpn接合を形成する手段の形成部と考えるようにすることができる。しかし、基板10は反対導電形の半導体材料とし、領域11との間に整流接合を形成する本体部の形成部とすることもできる。

基板10が交互積層構造11、12の最下層に対して反対の導電形の半導体基板である場合は、そのドーピング濃度及び厚さが接合1に所バイアスをか

すばと技術上のファクタ以外にも第1図の側付エピタキシャル構造に所定の厚さの積層層11及び12の全数を制限する要因があつて、それは本体部1のエピタキシャル層構造での空間電荷の累積アンバランスと(V偏の場合だけであるが)最上層11又は12を流る最速電流路とV偏の底に隣接する最下層11又は12を流る最長電流路との間の低列抵抗のアンバランスとである。しかし、この低列抵抗のアンバランスは最下層から最上層に向つて両方の層11及び12のドーピング濃度(従つて空間電荷)を漸次的に下げるにより修正することができる。

また本体部1の上側表面での電界を小さくするため最も上側のp形層12のドーピング濃度及び厚さ又はそのいずれか一方を小さくすることができる。このようにして、空乏化された時最も上側のp形層12は他の空間電荷を例えば他のp形層12の約半分しか持たないようにすることができる。最上層12上に設けられるパッシベーション層12を消電状態にすることができる。例えば二酸化シリコ

けた時基板10の空乏層部に生ずる空間電荷が交互積層構造11、12の空乏化した最下層に生ずる符号が反対の空間電荷とほぼ平衡するように選ぶ。このようにして基板10を第1と第2の領域11及び12の一方としてもよい。

第1図に示した形態の半導体構造は多数キャリア装置であれ少数キャリア装置であれ、多数の値々のタイプの高電圧^(半導体)装置、例えば電力用整流器、サイリスタ、バイポーラトランジスタ及び電界効果トランジスタに組み込んでその電圧及び/又は電流取扱能力を高めるのに利用することができる。動作時に電極11及び12の一方に高電圧を印加し、他方の電極を常時接地するか又は低電圧を印加する場合は、一般に高電圧電極に関連する側を接方向から接地ないし低電圧電極に関連する側で取り囲み、(本体1の縁から分離する)ようにすべきである。これにより本体1の縁での降電圧問題を回避できる。

このような装置を第2図に示す。ここでは電極11と電極12とが層11と電極12とを取り囲んでいる。

特開2005-124469 (11)

この場合電極2は溝11の外側と本体1の縁との間にパッシベーション層21又はより薄い絶縁層上に設けるワイヤボンディング又は他の外部接続のための拡張された区域21aを有する。電極21の拡張された接続区域21a用のフラットフォームを与えるために、溝11で層12及び12のメサ部を取り囲み、コンタクト領域11もこのメサ部の頂上に延在させ、電極21を介してこのメサ部の頂上の溝11とをコンタクトさせる。第2図の略式平面図ではパッシベーション層21の拡がり及び半導体本体1内の種々の領域の拡がりを簡明を簡明ならしめるため図示していない。V溝11及び21を頂上の外縁に対応する2個の平行な実線と溝の底の先端に対応する中央部の破線とにより示した。また電極21及び21の拡がりを第2図では縁に対応する実線で示した。

また、本発明に係る構造を有する半導体装置の電流取扱能力を大きくするために、溝11と21、電極21と21及び領域11と11とを相互にかみ合わせる。このような相互にかみ合った構造も第2図に

示した。

第2図の構造の半導体装置は例えば第1図の電子電極21及び21を有するだけのpn接合を用いる電力用整流ダイオードに使うことができる。この場合交互積層層11と12がダイオードのアノードとカソードの間の中間領域を形成し、実効的にはPINダイオードの真正ベース領域に等しいと考えられる。しかし、既知のPINダイオードと比較すると所定の降圧電圧に対する直列抵抗率を著しく低くでき、このため本発明整流ダイオードは電圧及び/又は電流取扱能力を大きくとれる。

このようなpn接合ダイオードは少数キャリア装置であつて、ON状態で流れる電流は第1の領域11でも第2の領域12でも少数キャリアで運ばれる。また交互積層構造にしたため、この半導体装置は本体部3内に金をドーピングして再結合中心を作らなくても、高圧なターンオフが可能である。このようにして逆電圧を加した時n形層11内の少数キャリア(正孔)がpn接合4を超えてp形層12に引き込まれ、これらの電気的に並列な層に沿

つて本体部3から迅速に排除される。同様にp形層12内の電子はp形層11を介して急速に排除される。印加される逆電圧レベルが(例えば、ないしはVというレンジの)低い方のピンチオフ値を越え、pn接合4に関連する空乏層が交互積層層11及び12で合体し、領域11と12の間の本体部3全体を完全に空乏化する。

第4図及び第5図は本発明に係るV溝付きユニタリ型交互積層構造を多数キャリア装置、即ち接合ゲート形電界効果トランジスタに組み込んだものを示す。交互に導電形が変わる交互積層層11及び12は今の場合電界効果トランジスタのソースとドレインとの間に設ける。溝11の個個全体に亘つて延在するn形領域11が21でドレイン領域を形成し、このドレイン領域を第1図につき説明したのと同じ態様で電極21を介して外部接続する。図面を明瞭ならしめるため絶縁層21と電極配置の詳細は第4図には示していない。

また溝21にトランジスタのゲートを形成するp形領域12と、トランジスタのソース領域を形成す

るn形領域12との両方を設ける。第4図に示したように、これらの領域11と12を局所的に交互にV溝の深さを下り、交互積層層11及び12の縁に並らしめ、調整するゲート領域11とソース領域12との間の区域を介してソース領域12を連続的に延在させる。領域11と12は既知のリソグラフィマスク技術を用いて局所的にイオン注入することにより作ることができる。ここでp形層12はゲート11の拡張部として働き、ソース領域12とドレイン領域11の間を結ぶチャネル領域を提供するn形層11をはさみ込む。ゲート11を用いてpn接合3及び4に逆バイアスをかけ、関連空乏層に電界効果作用を生ぜしめ、これによりソース領域12とドレイン領域11の間の電子流を制御し、終りにはバイアス電圧を領域3を完全に空乏化し、トランジスタをターンオフするに足るだけ高くする。OFF状態ではトランジスタは前述した交互積層構造11、12のため高ドレイン電圧を阻止することができる。

所望とあらばこのようなトランジスタが十分にON状態で動作する層11と12の間のpn接合4に

特開2007-124469 (12)

順方向バイアスをかけ、ゲートからチャネル領域11に正孔を注入し、導電率変動により直列抵抗率を下げる。このような一風変わった動作モードは本発明電界効果トランジスタでは有利である。もし、ターンオフ時に差し込まれた層11とゲート12とを介して少数キャリアが容易に排除されるからである。

このトランジスタ構造で図21にソース電極とゲート電極とを設けるに当つては多くの異なる幾何学的構成方法をとれる。第3図に示した形態ではパッシベーション層11が図21の側壁上に存在し、図21内のゲート領域11の領域に(第3図には示していないが)窓を有し、ゲート電極11がこの窓を介して図21内にあるゲート領域11と図21の長手方向に沿つてコンタクトする。ゲート電極11のソース領域14上にかぶさる部分は第3図に示すようにパッシベーション層11でソース領域14から絶縁する。パッシベーション層11は図21の外側に窓を有し、ソース電極11が図21の長手方向に沿つて存在し、上側主表面10でソース領域14とコンタクトす

る。図21内に存在するソースフィンガ(source finger)をソース領域14の図21の外側に存在するこの部分により一つに接続し、ソース領域14とその電極11との間のコンタクト区域を狭げる。

図21を図21で図んだ相互かみ合せ電極配置を第2図を修正した形で再度採用し、ゲート電極11とソース電極11とを図21と関連させることができる。他の修正された形態ではp形基板10を十分高ドープにしてゲート領域11に対するゲート接続を与え、ゲート電極を主表面10ではなく本体1の下面10で与える。

特に半導体基板10を十分高ドープにした場合はこの半導体基板10内の空乏層の深さが調整する図21から調整する図21に至る長手方向に沿つて非常に大きく変化し、この半導体基板10内の空乏化された部分に生ずる空間電荷が相当に変化する。この場合基板10と最下層11の反対の導電形のドーピング濃度を動作時にそれらの空間電荷が図21に調整する部分でバランスするように選ぶことができ

る。そして基板10と最下層11との間の界面にp形領域11から存在するp形の短いもう一つの層を設けて図21に調整する側で基板の空間電荷をバランスさせ、この領域に等電位面が密集しないようにすることができる。このような埋込み界面層11は第4図及び第5図に示すように埋めゲート形電界効果トランジスタ並びに本発明に係り且つ半導体基板10上に交互積層層11及び12を有する任意の他の半導体装置に設けることができる。

調整する図21と図21の間で図つた第4図及び第5図の電界効果トランジスタの平均チャネル長の代表的数値は約100 nmである。層11及び12の長さは臨界電圧に影響するだけでなく、トランジスタのON特性にも影響することがある。このようにして例えば $I_D - V_{DS}$ 特性(ソース-ドレイン電圧に対するドレイン電流の変化)が層の長さが増えほど一層互換性のようになり、層の長さが短くなる程一層三極管のようになる。

第6図及び第7図は第4図及び第5図のトランジスタ構造の修正例を示したもので、こゝでは本

発明によりnチャネル絶縁ゲート形電界効果トランジスタを形成する。このトランジスタは埋めゲート形電界効果トランジスタに必要なn形ドレイン領域11とドレイン電極を第4図及び第5図に示したのと同じ態様で図21内に配置する。しかし、図21では第4図及び第7図に示すように半導体領域、電極及び絶縁層の配置が異なっている。図21ではp形ソース領域14をp形領域11を介して反対導電形の交互積層層11及び12から分離している。そしてこれは例えばリトグラフイオン交換技術を用いて局所的にイオン注入することにより形成している。交互積層層11及び12はp形ドレイン領域11からp形領域11にかけて存在し、p形領域11の調整するフィンガ部間の区域で図21の側壁に調整する。またこゝではパッシベーション層11ではなくより薄い絶縁層11をV溝21内に存在させ、パッシベーション層11の窓でV溝21の側壁を覆つて絶縁層11で導電性のゲート層11を完全に領域11並びに層11及び12の端から絶縁する。そして厚い方の絶縁層11が図21内のソース領域14からゲ

特開2005-124469 (13)

ト層が絶縁する。

ゲート層11は溝22の側壁でn形ソース領域14とn形層11の面との間にあるp形層12内にn形導電性チャネルを容易的に発生させるのに役立つ。n形層11はドレイン領域13の拡張部として働き、(トランジスタのON状態では)ソース領域14から出てきた電子をn形層11に沿って誘起されたn形チャネルを介してドレイン領域13へ流す。OFF状態では前述したように空乏化した交互積層層11及び12が高ドレイン電圧を阻止する。

第7図の断面図は領域14の導電性チャネル領域に沿って引いたものである。絶縁層11に設けた窓を介して主表面10で溝22に沿って延在するソース電極16がソース領域14とp形領域12の双方と接触する。溝22でのソース領域の横方向での広がりを第7図の断面図で説明で示した。

第4図及び第7図に示したIGFETはnチャネルエンハンスメント形であるが、溝22の側壁領域に隣接して第4図及び第7図のトランジスタ構造のソース領域14間に低ドーパのn形領域を設けるこ

とにより容易にnチャネルディプレッション形IGFETを作ることができる。

第6図及び第7図に示したnチャネルトランジスタではn形層11が本体部10を貫いて電流を運ぶが、この同じ半導体装置にpチャネルトランジスタ構造を入れて電流が層11と12の両方を使って運ばれるようにすることもできる。この時の半導体装置は図22図では第6図及び第7図に示したような構造を有するが、溝22図では第8図に示したような構造になる。その場合の等価回路図を第9図に示す。このトランジスタではn形領域13がp形領域12と同一形状をしており、nチャネルトランジスタのドレインを形成するだけでなく、増幅トランジスタ構造のゲート11により、p形チャネルが誘起される領域も形成する。n形領域13にはn形ソース領域14と同一形状でpチャネルトランジスタ構造のソース領域を形成する別のp形領域15が存在する。

溝22に設ける絶縁層及び電極構造はレイアウトの点で溝22個のそれと対応する。従ってゲート11

は溝22内でチャネルに沿って薄い絶縁層11上に延在し、領域12に沿って薄い絶縁層11上に延在する。電極線16は溝22に沿って延在し、絶縁層11に形成した窓を介して領域12と14の両方と接触する。第9図では溝22に隣接し、第4図及び第7図ではG及びSという符号で表わしたゲート及びソース電極を矢々G(1)及びS'で表わしてある。第9図の符号P及びnは夫々p形層12及びn形層11を通る電流経路を示す。明らかにこれらの層12及び11はゲート領域としても働き、接合ゲート形電界効果トランジスタと同じ原理で調整する層11及び12内の電流の流れ具合を支配する。これらの接合ゲート形トランジスタ構造も第7図に示す。

第10図は第1図の構造を高電圧用バイポーラトランジスタに適用したところを示したものである。この場合溝22図ではn形領域14と電極22とがバイポーラトランジスタのコレクタとなり、溝22図ではp形領域14と電極22とがベースとなる。交互積層層11及び12は実効的に真性領域を形成し、領域14と12の間のベース-コレクタ接合のベースとコ

レクタに隣接する区域となる。ベース電圧22は溝22に沿って延在し、絶縁層11に形成した窓を介して主表面10でベース領域12に接触する。またこのベース領域12内にn形エミッタ領域15を設け、溝22の側壁に窓を出すようにし、そこでエミッタ電極22にコンタクトさせる。トランジスタがターンオフした時交互積層層11及び12が少数キャリアを迅速に排除させるから、この本発明に係るバイポーラトランジスタはスイッチング速度が高く且つ電流及び電圧取扱能力が良好である。

第11図は第1図の構造の修正例であつて、高電圧用ショットキーダイオードとして用いられるものを示したものである。この場合接合形成手段にp形領域14ではなく金属層12を用い、この金属層12とn形層11とで金属-半導体整流接合を形成する。交互積層層11及び12はショットキー層12が形成するダイオードのアノードと電極16及びn形領域13が形成するカソードとの間の実効的に真性領域を形成する。この半導体装置ではショットキー層12がp形層12と組んで逆ショットキー障壁を

特開昭57-124469 (14)

形成する。このp形ショットキーコンタクトの区域を制御してその逆電流を成らし、これによりpn接合4からの少数キャリア効果が生ずるのを抑止するのが望ましい。これは溝2に沿って間隔を置いて溝2の側壁に層を出す付加的なn形領域11を設けることにより実現できる。このようなn形領域11の厚さを第1図では点線で示した。n形領域11が存在する場所では層12が溝2の側壁と接触しないことになる。そしてn形領域11同士の間隔では交互積層層11及び12が連続化する。

第4図ないし第10図の半導体装置でも同じような例に形成するショットキー接合を使えることを理解されたい。このようにして例えば本発明に係る接合ゲート形電界効果トランジスタにショットキーゲートを持たせたり、本発明に係る絶縁ゲート形電界効果トランジスタにショットキーソースとショットキードレインとを持たせることができる。

第4図ないし第7図の電界効果トランジスタでは溝2の内面にゲート電極を位置させているが、

11及び12内の基板10とソース領域14及びp形領域18との間の部分の電界を一層一層にする代替手段を提供する。このような第3図のトランジスタの修正例を第12図に示すが、これは絶縁体基板10を有し、この上に半導体メサとして交互積層層11及び12がのっている。

第13図は本発明半導体装置の別の形態の一部を示したもので、こゝでは交互積層層11及び12が半導体本体1の主表面に平行ではなく垂直に走っている。主たる半導体領域11、12等及び電極11、12等はこゝでは半導体本体1の両側の主表面10及び10に別かれて位置する。このような構造は既オーミックro形基板11上に高抵抗率のp形エピタキシャル層を設けることから出発して作ることができる。そして基板11の主表面の軸方向が<110>である場合は半導体材料がシリコンの場合は既知の動機で異方性エッチャントを用いてエピタキシャル層内に切り立つた側面を有する溝を形成し、このエッチングをこれらの溝が基板11に達する迄続ける。次にこれらの溝を満たすようにn形材料をエ

ピタキシャル成長させて領域11を形成する。この時pのp形エピタキシャル層の残存している部分が領域12を形成する。これらの領域11と12のドーピング濃度と幅とは上記エッチングとエピタキシャル成長とにより決まるが、空乏化によりこれらの領域内に形成される空間電荷がほぼバランスし、アバランシ降服が起こる臨界値を超えないように選ぶ。他の半導体領域と電極、特に領域18とその接続電極(第13図の符号18)は既知の動機で例えばイオン注入、リトグラフィ及びエッチング技術を用いて上記の構造物内及び上に設けることができる。

第4図及び第5図並びに第6図及び第7図のトランジスタで半導体基板10を用いる代りに例えばサファイアのような単結晶絶縁基板の上に交互積層層11及び12を設けると殊に好適である。このような単結晶絶縁基板は交互積層層11及び12内の電気力線に対する反射境界を提供し、交互積層層

11及び12を有する構造物の半導体装置は本発明に係る種々のタイプの高電圧半導体装置、例えば電力用整流器、バイポーラトランジスタ並びに接合ゲート形及び絶縁ゲート形電界効果トランジスタで用いることができる。第13図は絶縁ゲート形電界効果トランジスタに適用したところを示したもので、基板11と背面電極12とがドレインを形成する。p

特開昭57-124469 (15)

形領域II内にn形ソース領域IIを設け、両領域II及びIIを主表面側でソース電極IIにコンタクトさせる。ドレイン領域IIの電氣的に並列な抵抗部を形成するn形領域IIの側面とソース領域IIとの間の区域では薄いゲート絶縁層II上に導電性のゲート電極IIを設ける。またドレイン及びソースからゲート電極IIの縁の下迄夫々低ドーパ形領域II及びIIを延在させる。

第13図では各形領域IIを領域IIと並列させ、幅をほぼ同一とするが、領域IIの方を幅広くし、領域II及びIIを狭くするかそのいずれか一方を行なうこともできる。このようにして例えば各形領域IIを少なくとも2個のp形領域IIと中間n形領域IIとの上にのせることもできる。

第14図は第13図の構造の半導体装置の1本発明に係る1修正例を示したものであり、ここでは各n形領域IIを切り立つた側IIで二部に分けている。これらのn形領域IIは異方性エッチャントを用いてp形エピタキシャル層内に側IIをエッチングした後ドーパントを拡散させて形成することが

できる。としてもこれらのn形領域IIのドーピング濃度と厚さをこれらの2部に分離された領域IIIIに生ずる正の空間電荷が領域II内の負の空間電荷とほぼバランスするように選ぶ。側IIの側面II上には絶縁層IIと抵抗層IIの両方を延在させる。そして抵抗層IIをトランジスタのゲートIIと基板ドレインIIとに接続して領域IIに生ずる電界を低減させ、トランジスタのチャネル区域とゲートIIとに隣接する領域IIの縁でのこの電界の強さを下げる電界解放手段を形成する。この抵抗層IIは高抵抗率の多結晶シリコンを用い、高ドーパ濃度でチャネル区域上と側IIの底との両方に局所的にドーピングさせることにより作ることができる。この時チャネル区域上のドーピングにより抵抗層IIの一部としてゲートIIが形成され、側IIの底のドーピングにより絶縁層IIの縁で抵抗層IIと基板IIとの間の接続が良好になる。

第15図並びに第16図及び第17図は本発明半導体装置の一例を示すもので付随導電形の2個の回路要素を具す。これらの2要素が前記本体部を横切

つて接続されて並列回路となり、交互に積層される第1と第2の領域IIとが一方の回路要素の電氣的に並列な電流路とこれにはさまれた阻性回路要素の電氣的に並列な電流路とを与える。もう一つの例はnpnトランジスタとpnpトランジスタとを具えるサイリスタである。所望とあらば次のようなサイリスタはp形ベース領域IIとn形ベース領域IIとに対し別個のゲート電極を有するようにすることができる。

4 図面の簡単な説明

第1図は本発明に係る半導体装置の一例の一部の説明用断面斜視図、第2図はその略式平面図、第3図は本発明に係る多数キャリア濃度の直列抵抗率と降服電圧の関係を示すグラフの図、第4図は本発明に係る接合ゲート形電界効果トランジスタの断面斜視図、第5図はその断面図、第6図は本発明に係るnチャネル絶縁ゲート形電界効果トランジスタの断面斜視図、第7図はその断面図、第8図はpチャネル絶縁ゲート形電界効果トランジスタの断面斜視図、第9図は第6、7図のnチャ

ネル電界効果トランジスタと第8図のpチャネル電界効果トランジスタの両方を有する半導体装置の等価回路図、第10図は本発明に係るバイポーラトランジスタの断面図、第11図は本発明に係るショットキー整流器の断面図、第12図は絶縁基板を有する実施例の断面図、第13図はもう一つの構造の本発明絶縁ゲート電界効果トランジスタの断面図、第14図はもう一つの構造の絶縁ゲート形電界効果トランジスタの断面図である。

1...半導体本体、2...空乏化される本体部、3...接合、4...第1の領域、5...第2の領域。

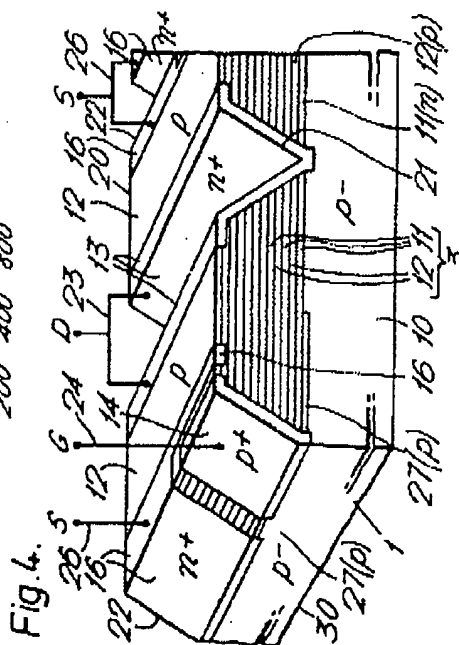
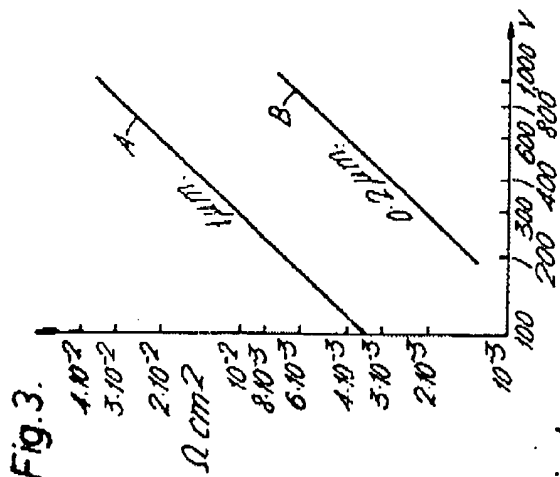
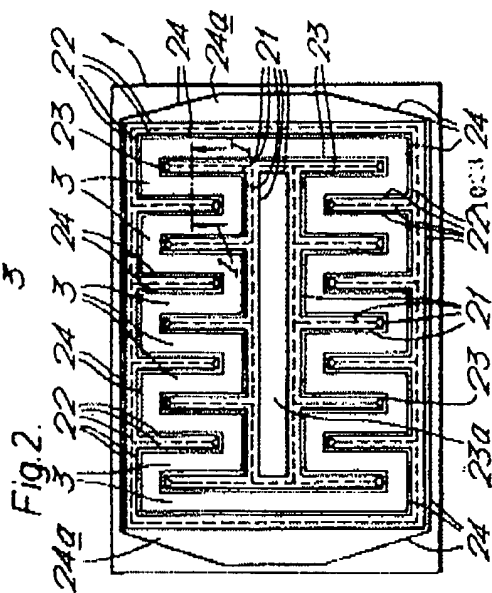
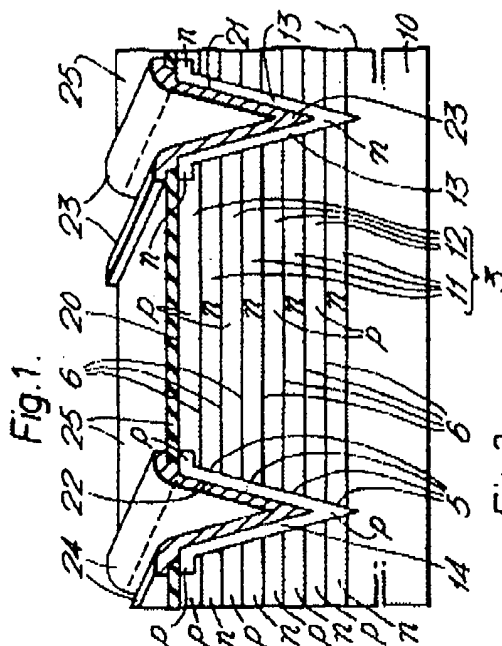
特許出願人 エヌ・ピー・フィリップス・フルーイランペンファアソシヤテッド

代理人弁理士 杉 村 隆 秀

同 弁理士 杉 村 典 作

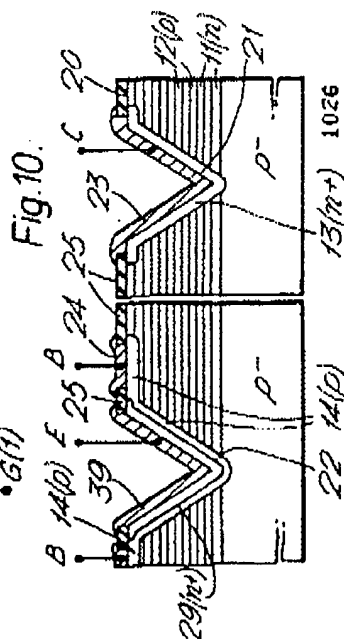
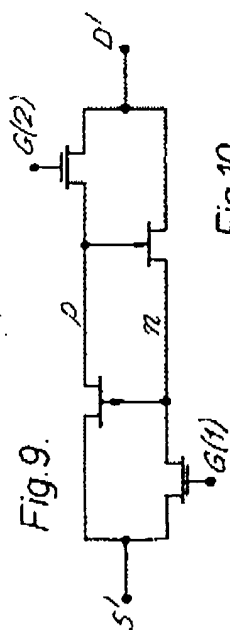
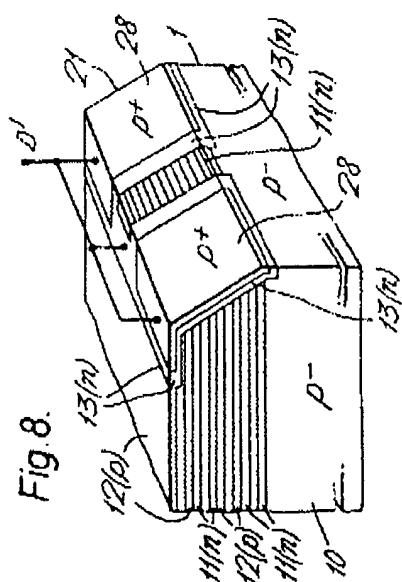
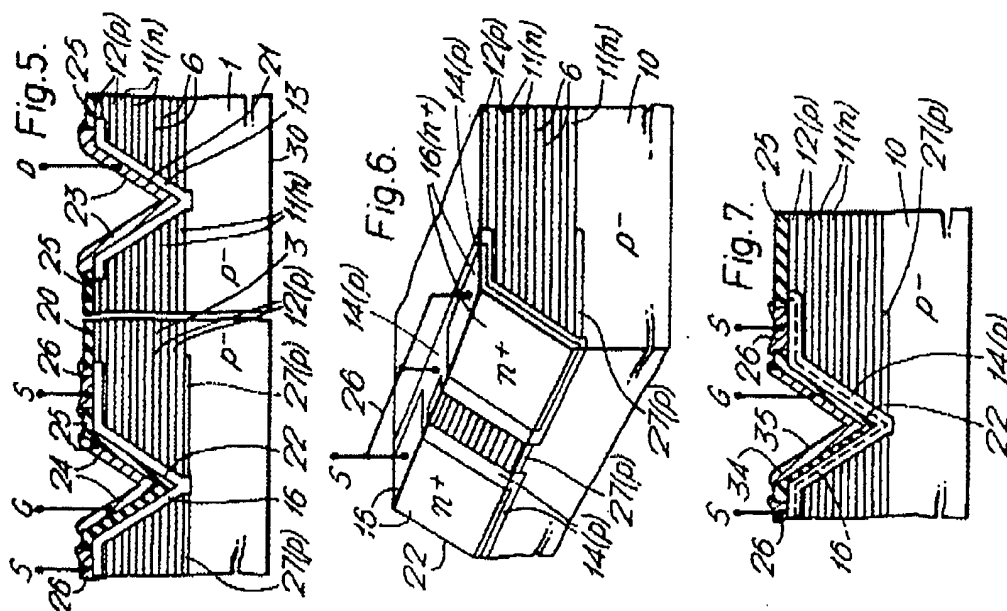
BEST AVAILABLE COPY

時間 57-124459 (16)



BEST AVAILABLE COPY

11/0657-124469 (17)



BEST AVAILABLE COPY

特開昭57-124469 (18)

Fig.11.

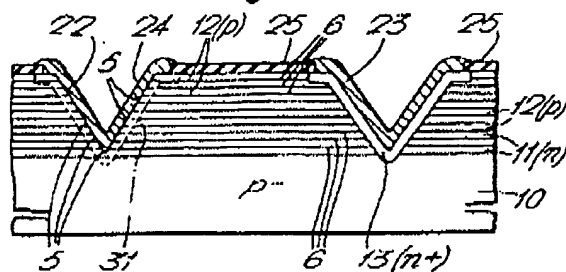


Fig.14.

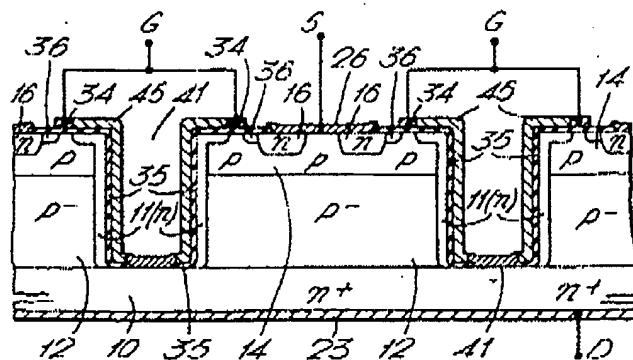


Fig.12.

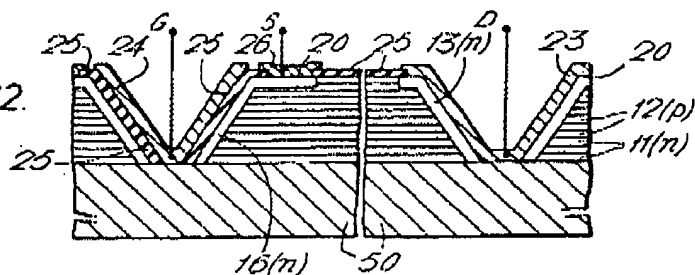


Fig.13.

